

Partial Translation

Japanese patent application Laid-open No. H10-12921

[0009]

[Embodiments of the present invention] Hereinafter embodiments of the present invention with respect to a blue-light emitting device as an example of a light-emitting semiconductor device will be explained by reference of figures. The present invention is not limited to the following embodiments. FIG. 1 is an explanatory view showing a section of the blue-light emitting device. The blue-light emitting device comprises a sapphire (Al_2O_3) substrate 1, a p-type GaN layer (p-type semiconductor layer) 3 and an n-type GaN layer 4 (n-type semiconductor layer) which are formed on a GaN buffer layer 2 laminated on the substrate 1, an InGaN layer (emission layer) 5 which is formed between the p-type GaN layer 3 and the n-type GaN layer 4, a transparent NiAu layer (first conduction layer) 6 which is made of an alloy including Ni and Au and is formed on the p-type GaN layer 3, an approximately transparent ITO (Indium-Tin-Oxide) layer (second conduction layer) 7 formed on the NiAu layer 6, and a positive electrode layer (electrode layer) 8 in an approximately circular shape in a plane view (no plane view is shown in figures) which is made of Al and is formed at approximately central portion of the ITO layer 7. Blue-light is emitted from the InGaN layer 5,

the p-type GaN layer 3 and the n-type GaN layer 4 existing around the InGaN layer 5.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012921

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H01L 33/00

(21)Application number : 08-161877

(71)Applicant : ROHM CO LTD

(22)Date of filing : 21.06.1996

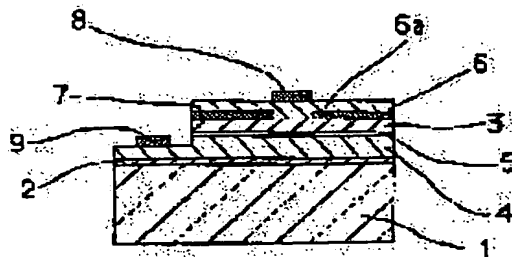
(72)Inventor : ICHIHARA ATSUSHI

(54) LIGHT-EMITTING SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high luminance with less power consumption by forming a light-emitting layer to be held between P-type and N-type semiconductor layers on a substrate, and sequentially forming a first conductive layer, a substantially transparent second conductive layer and an electrode layer on the semiconductor layer.

SOLUTION: In this blue-color LED device, a P-type GaN layer (P-type semiconductor layer) 3 and an N-type GaN layer (N-type semiconductor layer) 4 are formed via a buffer layer 2 made of GaN on a substrate 1 made of sapphire. Then, an InGaN layer A (light-emitting layer) 5 is formed between the P-type GaN layer 3 and the N-type GaN layer 4. In addition, a translucent NiAu layer (first conductive layer) 6 made of a Ni-Au alloy is formed on the P-type GaN layer 3, and a substantially transparent ITO layer (second conductive layer) 7 is formed on the NiAu layer 6. An anode electrode layer (electrode layer) 8, circular in a plan view, made of Al is formed at a substantially center portion on the ITO layer 7.



LEGAL STATUS

[Date of request for examination]

06.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12921

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl.⁶

H 0 1 L 33/00

識別記号

庁内整理番号

F I

H 0 1 L 33/00

技術表示箇所

C

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号

特願平8-161877

(22) 出願日

平成 8 年 (1996) 6 月 21 日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 市原 淳

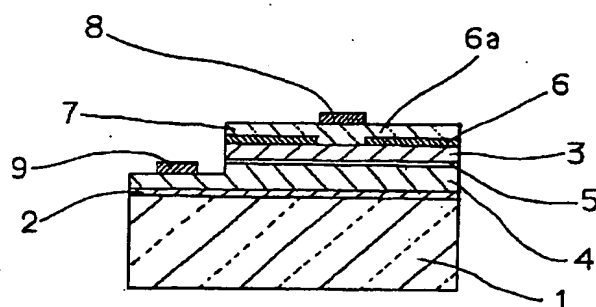
京都市右京区西院溝崎町21番地 ローム株式会社内

(54) 【発明の名称】 発光半導体素子

(57) 【要約】

【課題】 少ない消費電力で大きな輝度を得ることが可能な、光の取り出し効率が良好となる発光半導体素子を提供することを課題とする。

【解決手段】 本発明は、基板と、この基板上にP型とN型の半導体層に挟まれるように形成された発光層と、前記半導体層上に形成された第1導電層と、この第1導電層上に形成された略透明の第2導電層と、この第2導電層上に形成された電極層と、を備えた発光半導体素子を提供する。



【特許請求の範囲】

【請求項1】 基板と、この基板上にP型とN型の半導体層に挟まれるように形成された発光層と、前記半導体層上に形成された第1導電層と、この第1導電層上に形成された略透明の第2導電層と、この第2導電層上に形成された電極層と、を備えた発光半導体素子。

【請求項2】 前記第1導電層には、前記電極層の下方に位置する部位に貫通穴が設けられていることを特徴とする請求項1に記載の発光半導体素子。

【請求項3】 前記第1導電層は、その厚み寸法が5乃至40オングストロームであることを特徴とする請求項1もしくは請求項2に記載の発光半導体素子。

【請求項4】 前記半導体層及び発光層がGa_{0.9}N_{0.1}系材料からなる請求項1～請求項3に記載の発光半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、発光半導体素子に関し、特に、発光層からの光の取り出し効率が向上し得る発光半導体素子に関する。

【0002】

【従来の技術】 従来、発光半導体素子は、例えば青色LED素子を例にとると、図2に示すように、サファイア（Al₂O₃）等からなる略透明状の基板31と、この基板31上にMOCVD装置を用いた気相成長方法等により（Ga_{0.9}N_{0.1}等からなるバッファ層（図示せず）を介して）形成されたGa_{0.9}N_{0.1}等からなるP型半導体層32及びN型半導体層33と、これらP型半導体層32及びN型半導体層33間に介設されたInGa_{0.9}N_{0.1}等からなる発光層34と、P型半導体層32上に形成されたNi₂Al₃等の合金からなる透光性の第1導電層35と、この第1導電層35上に形成されたTi、Al等からなる不透光性の陽極側の電極層36と、N型半導体層33上のうちエッチングにより除去されて露出状態となった部分にTi、Al等からなる陰極側の電極層37とを備えたものであり、この発光層34から発せられる光をこの素子の電極層36側の面（以下発光面とする）から取り出すものである。第1導電層35に用いられるAuは、第1導電層の中では青色光や緑色光のような約500nm以下の波長光に対する透過率が非常に良好なものであり、InGa_{0.9}N_{0.1}層等からなる発光層34からの光が透過しやすい。

【0003】 上記ITO層7は、その厚み寸法が1000～2000オングストローム程度となっている。上記第1導電層35は、蒸着等によりP型半導体層32上に形成され、その後400℃程度の温度下でアニールし合金化され、P型半導体層32との接合面での抵抗率を低く下げられた状態で（できるだけオーミック接合となるように）形成されている。第1導電層35と電極層36との接合面は、複数の凹凸部が形成された非常に表面状態の悪いものとなっている。

【0004】 また、第1導電層35は、その上面側に位置する電極層36とのオーミック接合を得るためのものでもある。さらに、第1導電層35は、電極層36からの電流を抵抗の高いP型半導体層32に流れる前に表面方向（図中の左右方向）に分散するように広げ、発光層34内を流れる面積を大きくさせることにより、該発光層34における発光面積を大きくするために、その厚み寸法を50オングストローム程度の厚いものとしている。

【0005】

【発明が解決しようとする課題】 このため、発光層34から発せられる光は、その一部が厚み寸法の大きな第1導電層35内で吸収されてしまうので、光の取り出し効率が極めて悪くなる。一方、電極層36の下方に位置する発光層34では、電極層36から発光層34へ流れる電流量が多く、発生する光の量が最も多いのだが、この光は複数の凹凸部が形成され表面状態の悪い上記電極層36の接合面で散乱したり吸収されてしまうので、光の取り出し効率が極めて悪くなる。

【0006】 このため、この半導体素子を用いて所定の発光量を得るためには、これに付加する電流量を大きくする必要がある。消費電力が非常に大きくなってしまふといった問題がある。特に、半導体発光素子は、近年例えば携帯電話等の電源を内蔵した電子機器に用いられる場合が多く、電子機器を極力長時間継続して使用するために、その消費電力（内蔵電源に対する）が小さい状態で大きな輝度を得られるものが要求されている。

【0007】 本発明は、このような事情に鑑みてなされたものであって、少ない消費電力で大きな輝度を得ることが可能な、光の取り出し効率が良好となる発光半導体素子を提供することを課題とする。

【0008】

【課題を解決するための手段】 上記課題を解決するため、本発明は、基板と、この基板上にP型とN型の半導体層に挟まれるように形成された発光層と、前記半導体層上に形成された第1導電層と、この第1導電層上に形成された略透明の第2導電層と、この第2導電層上に形成された電極層と、を備えた発光半導体素子を提供するものである。

【0009】

【発明の実施の形態】 以下、本発明の実施の形態を、発光半導体素子として青色LED素子を例にとり、図を参照しつつ説明するが、本発明はこれらに限定されるものでない。図1は、青色LED素子の断面を示す概略図である。この青色LED素子は、サファイア（Al₂O₃）からなる基板1と、この基板1上にGa_{0.9}N_{0.1}からなるバッファ層2を介して形成されたP型Ga_{0.9}N_{0.1}層（P型半導体層）3及びN型Ga_{0.9}N_{0.1}層4（N型半導体層）と、これらP型Ga_{0.9}N_{0.1}層3及びN型Ga_{0.9}N_{0.1}層4の間に形成されたInGa_{0.9}N_{0.1}層（発光層）5と、P型Ga_{0.9}N_{0.1}層3上に形成さ

れた透光性のNiとAuとの合金からなるNiAu層（第1導電層）6と、このNiAu層6上に形成されたほぼ透明のITO（Indium-Tin-Oxide）層（第2導電層）7と、このITO層7上の略中央部分に形成されたAlからなる平面視略円形状の陽極電極層（電極層）8（平面視の図示はしない）とを備えたものであり、InGaIn層5及びその周辺のP型GaIn層3及びN型GaIn層4において青色光が発せられる。

【0010】N型GaIn層4は、基板1上の端部において露出した状態となっており、この露出したN型GaIn層4上にはTiとAlとの積層構造からなる陰極電極層9が形成されている。上記NiAu層6には、その略中央部分に貫通穴6aが穿設されており、ITO層7がこの貫通穴6a内に入り込むように形成されている。この貫通穴6aは、陽極電極層8とほぼ同一形状となっている。尚、NiAu層6の厚み寸法は、15オングストローム程度である。

【0011】このような構造を有する青色LED素子では、陽極電極層8からの電流がITO層7内で十分に面方向に広がるので、ITO層7下の光を吸収するNiAu層6を薄くすることが可能となり、InGaIn層5からの光がNiAu層6内で吸収される率を低くできるため、光の取り出し効率が非常に良好となる。また、陽極電極層8下に位置するNiAu層6には貫通穴6aが存在し、この位置ではP型GaIn層3とITO層7とが接触した状態となる。従って、P型GaIn層3とITO層7との接合面におけるpn接合が、陽極電極層8からInGaIn層5に向かう電流の流れ方向に対して逆方向の接合となり、この接合面では電流が流れなくなるので、この流れなくなる電流の分だけその他の部分（陽極電極層8下以外の部分）に電流が集中して流れるため、InGaIn層5からの光は、不透光性の陽極電極層8に反射して拡散してしまう率が減少し、光の取り出し効率がより良好となる。

【0012】さらに、本実施例の青色LED素子では、陽極電極層8をITO層7上に接合しているため、陽極電極層8の接合面は、従来のようにNiAu層6と陽極電極層8とを合金化したときにNiAu層6下面の表面状態が悪くなってしまうということもほぼなく、鏡面状態を維持できるため、たとえInGaIn層5からの光が陽極電極層8に反射しても拡散する率が減少され、反射した後に上方に光が発せられやすく、その分だけ光の取り出し効率が良好となる。

【0013】本実施例における第1導電層としてのNiAu層6の厚み寸法は、15オングストローム程度としているが、これに限定されるものでなく、第1導電層としての導電状態を得られ且つ従来よりも薄い5～40オングストローム程度の範囲であればよく、10～20オングストローム程度であれば光の透過率及び電流の面方向への広がりを両方満足させやすいのでより好ましい。

【0014】また、本実施例におけるITO層7の厚み寸法は、1000～2000オングストローム程度であるが、形成条件により抵抗率、透過率が共に下がる膜厚にすればよく、このITO層7は好ましくは比抵抗 $5\Omega\text{cm}$ 以下であって発光波長に対する透過率85%以上のものがよい。さらに、本実施例では、第2導電層の材料としてITOを用いているが、これに限定されるものでなく、 In_2O_3 系、 SnO_2 系や ZnO_2 系のほぼ透明の導電膜を用いてもよい。

【0015】また、本実施例におけるNiAu層6の貫通穴6aを、陽極側電極層の形状とほぼ同一形状としているが、これに限定されるものでなく、発光させたい部分のみに第1導電層を残すようにすればよい。さらに、本実施例では、陽極側電極層の材料としてAlを用いているが、これに限定するものでなく、光に対する反射率の高いAg等の金属材料を用いてもよい。また、陰極側電極層の材料としてTiとAlの積層を用いているが、これに限定するものでなく、Al等の金属を用いてもよい。

【0016】加えて、本実施例では、P型GaIn層3上に第1導電層としてNiAu層6を形成しているが、これに限定するものでなく、Au層、Cu層またはこれらの合金層であってもよい。また、この第1導電層の形成は、蒸着以外にイオン注入方法等により高密度にイオンを注入して表面を金属化させてもよい。また、本実施例では、基板上にバッファ層を介してN型半導体層、発光層及びP型半導体層を下から順に形成しているが、これに限定されるものでなく、N型半導体層とP型半導体層とが逆となった構造のものでもよく、この場合にはP型の第2導電層を形成すればよい。

【0017】さらに、本実施例では、発光半導体素子としてGaIn系LED素子を例にとり説明しているが、これに限定するものでなく、GaAs系材料等の基板を用いた様々なLED素子にも適用可能であり、例えば、GaAs基板上にZnSeからなるバッファ層を介してMgZnSSeからなるP型及びN型の半導体層を形成し、これら半導体層間にZnSSeからなる発光層を形成し、さらに、P型層上に上記実施例で記載したような第1導電層、透明電極層及び金属電極層を形成したZnSe系LED素子にも適用可能である。尚、本発明は、P型もしくはN型半導体層上の第1導電層及び第2導電層の構造に特徴を有するものであり、N型もしくはP型半導体層下の構造組成及び成分比については、これを限定するものでない。

【0018】尚、本実施例の発光半導体素子は、発光層をほぼ同一の材質であるP型半導体層及びN型半導体層で挟んだいわゆるダブルヘテロ構造であるが、これに限定されるものでなく、本発明はPN接合のみであるホモ接合型のLED素子にも適用可能である。

【0019】

【発明の効果】以上の説明からも明らかなように、本発明によれば、次のような効果を奏する。

(1) 電極層からの電流が第2導電層内で十分に面方向に広がるので、第2導電層下の抵抗の高い第1導電層を薄くすることが可能となり、発光層からの光が第1導電層内で吸収される率を低くできるため、光の取り出し効率が非常に良好となる。

(2) 電極層下に位置する第1導電層には貫通穴が存在し、この位置ではP型Ga_{0.4}N系クラッド層と第2導電層とが接触した状態となる。従って、P型Ga_{0.4}Nクラッド層と第2導電層との接合面におけるpn接合が、電極層からGa_{0.4}N系発光層に向かう電流の流れ方向に対して逆方向の接合となり、この接合面では電流が流れなくなるので、この流れなくなる電流の分だけその他の部分(電極層下以外の部分)に電流が集中して流れるため、Ga_{0.4}N系発光層からの光は、不透光性の電極層に反射して拡散してしまう率が減少し、光の取り出し効率がより良好となる。

(3) 電極層を第2導電層上に接合しているので、電極層の接合面は、従来のように第1導電層と電極層とを合金化したときに第1導電層下面の表面状態が悪くなって

しまうということもほぼなく、鏡面状態を維持できるため、たとえGa_{0.4}N系発光層からの光が電極層に反射しても拡散する率が減少され、反射した後に上方に光が発せられやすく、その分だけ光の取り出し効率が良好となる。

【図面の簡単な説明】

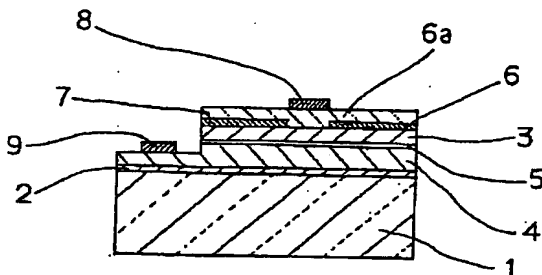
【図1】 本実施例の青色LED素子を示す要部断面図である。

【図2】 従来の青色LED素子を示す要部断面図である。

【符号の説明】

- | | |
|---|------------------------|
| 1 | 基板 |
| 2 | バッファ層 |
| 3 | P型Ga _{0.4} N層 |
| 4 | N型Ga _{0.4} N層 |
| 5 | InGa _{0.4} N層 |
| 6 | NiAu層 |
| 7 | ITO層 |
| 8 | 陽極電極層 |
| 9 | 陰極電極層 |

【図1】



【図2】

